

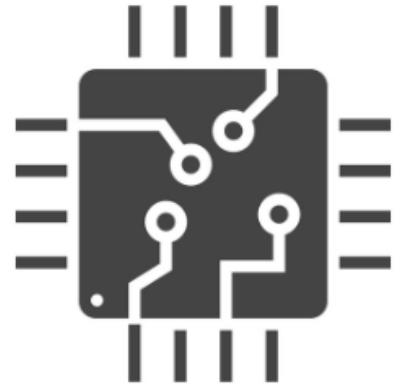


**PROJEKT BADAWCZY
PLAKAT INFORMACYJNY – STYCZEŃ 2024**



Katedra Systemów Mikroelektronicznych

Zespół projektowy: 14@KSME'2023pb	1. Michał Kardas - kierownik 2. Aleksandra Podgórska
Opiekun:	dr hab. inż. Jacek Jakusz
Klient:	R&D Director Grzegorz Matczak (Synopsys)
Data zakończenia:	01.01.2024r.
Słowa kluczowe:	interpolator fazy, niskoskalowalna technologia CMOS, projektowanie układów analogowo-cyfrowych



TEMAT PROJEKTU:

Badanie parametrów oraz optymalizacja interpolatorów fazy o różnych architekturach w niskoskalowalnej technologii CMOS

CELE I ZAKRES PROJEKTU:

Głównym celem jest dostarczenie rozwiązania klientowi- porównanie dwóch architektur interpolatorów fazy. Zakres prac obejmuje:

1. Przygotowanie środowiska pracy oraz wspólnej bazy projektowej.
2. Stworzenie jednolitego zestawu testów dla wszystkich architektur.
3. Implementacja architektur w dedykowanym programie symulacyjnym.
4. Weryfikacja symulacyjna zgodnie z przyjętymi kryteriami.
5. Optymalizacja architektur względem kluczowych parametrów.
6. Porównanie wyników obu rozwiązań.
7. Udokumentowanie wyników i wniosków.

OSIĄGNIĘTE REZULTATY:

Porównywane układy spełniają założone funkcjonalności przy znacząco różnej koncepcji. Architektura CML charakteryzuje się korzystniejszą wartością parametru DNL względem architektury kaskadowej. Ponadto, pobór mocy w układzie CML jest dwukrotnie mniejszy. Jednakże, estymowana powierzchnia stanowi prawie trzykrotność powierzchni architektury kaskadowej.

CECHY CHARAKTERYSTYCZNE ROZWIĄZANIA, KIERUNKI DALSZYCH PRAC:

Cechy charakterystyczne:

1. Projekt realizowany w niskoskalowalnej technologii CMOS.
2. Przepustowość interpolatorów 9 GB/s.
3. Liczba kroków interpolacji – 64/UI.
4. Napięcie zasilania – 0.9 V.
5. Porównanie pracy układów w jednolitych warunkach (technologii, pobudzeniu układu).

Kierunki dalszych prac:

1. Optymalizacja architektury w celu osiągnięcia większej liczby kroków interpolacji.
2. Optymalizacja architektury w celu osiągnięcia większej przepustowości.

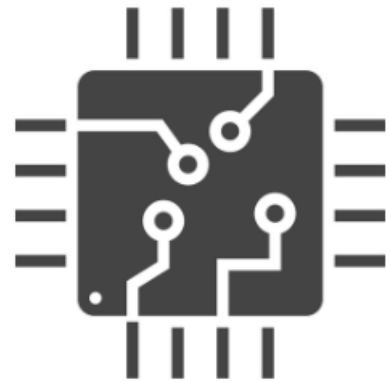


RESEARCH PROJECT INFORMATION FOLDER— JANUARY 2024



Department of Microelectronic Systems

Project team: 14@KSME'2023pb	1. Michal Kardas - leader 2. Aleksandra Podgorska
Supervisor:	PhD Jacek Jakusz
Client:	R&D Director Grzegorz Matczak (Synopsys)
Date:	01/01/2024
Key words:	phase interpolator, low-scalable CMOS technology, analog and digital circuit design



PROJECT TITLE:

Parameter analysis and optimization of phase interpolators of different architectures in low-scalable CMOS technology

OBJECTIVES AND SCOPE:

The main goal is to provide a solution to the customer- comparison of two phase interpolator architectures. The scope of work includes:

1. Preparation of a working environment and a common design base.
2. Creation of a consolidated set of tests for all architectures.
3. Implementation of architectures in a dedicated simulation program.
4. Simulation verification accordingly to adopted criteria.
5. Optimization of architectures in relation to key parameters.
6. Comparison of the results of both solutions.
7. Documenting the results and conclusions.

RESULTS:

The compared systems fulfil the intended functionalities with a significantly different concept of circuit. The CML architecture has a more accurate value of DNL parameter than the cascade architecture. In addition, the power consumption of the CML system is two times lower. However, the estimated area is almost tripled the area of cascade one.

MAIN FEATURES, FUTURE WORKS:

Features:

1. Project implemented in low-scalable CMOS technology.
2. Interpolator throughput of 9 GB/s.
3. Number of interpolation steps – 64/UI.
4. Supply voltage – 0.9 V.
5. Comparison of circuit operation under consistent conditions (technology, circuit excitation).

Directions of further work:

1. Architecture optimization to achieve more interpolation steps.
2. Architecture optimization to achieve a higher throughput.